

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-284665

(43) 公開日 平成9年(1997)10月31日

(51) Int.Cl.⁶

H 0 4 N 5/44

識別記号

庁内整理番号

F I

H 0 4 N 5/44

技術表示箇所

Z

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願平8-94257

(22) 出願日 平成8年(1996)4月16日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 江田 隆則

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マルチメディアシステム開発本部内

(72) 発明者 岡村 巧

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マルチメディアシステム開発本部内

(74) 代理人 弁理士 武 顕次郎

最終頁に続く

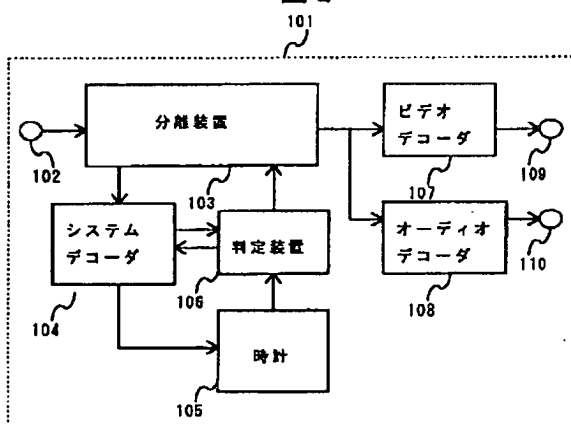
(54) 【発明の名称】 デジタル放送受信装置

(57) 【要約】

【課題】 デジタル放送受信時、受信装置の内部時計装置の時刻補正を適応的に行なうことができるようにする。

【解決手段】 映像データと音声データと時刻情報との多重デジタルデータが入力端子102から分離装置103に供給され、これら映像データと音声データと時刻情報とが分離される。分離された時刻情報はシステムデコーダ104でデコードされる。判定装置106は、このデコードされた時刻情報が表わす現在の時刻が時計補正禁止の時間帯にあるかどうか、あるいは内部時計装置105が表わす時刻と大きくずれているかどうか、または時計補正許可の時間帯にあるかどうかなどの判定を行ない、その判定結果に応じて、内部時計装置105が表わす時刻をシステムデコーダ104でデコードされた時刻情報に基づいて補正する。

図 1



【特許請求の範囲】

【請求項1】 デジタル化された映像データ、音声データや、現在の時刻を表わす時刻情報を少なくとも含む情報データなどが多重化されてなるデジタルデータを受信するデジタル放送受信装置において、該デジタルデータから該情報データを分離する分離手段と、分離された該情報データの該時刻情報をデコードするデコード手段と、時刻情報を管理する内部時刻管理手段と、デコードされた該時刻情報を用いて、該内部時刻管理手段が管理する該時刻情報を補正するか否かの判定を行なう時刻補正判定手段とを有し、該時刻補正判定手段の判定結果に応じて該内部時刻管理手段が管理する該時刻情報の補正を行なうことを特徴とするデジタル放送受信装置。

【請求項2】 請求項1において、前記時刻補正判定手段は、特定の時刻 T_0 , T_1 , ……、 T_n (n は0または正整数)とこれら時刻夫々に対応した時間範囲 ΔT_0 , ΔT_1 , ΔT_10 , ΔT_11 , ……、 T_n0 , ΔT_n1 とが予め定められており、前記時刻情報が表わす現在の時刻 t が

$$T_0 - \Delta T_00 \leq t \leq T_0 + \Delta T_01$$

$$T_1 - \Delta T_10 \leq t \leq T_1 + \Delta T_11$$

……………

……………

$$T_n - \Delta T_n0 \leq t \leq T_n + \Delta T_n1$$

以外の時間帯にあるとき、前記内部時刻管理手段が管理する前記時刻情報の補正を行なうことを特徴とするデジタル放送受信装置。

【請求項3】 請求項1において、前記時刻補正判定手段は、前記時刻情報が表わす現在の時刻 t と前記内部時刻管理手段が管理する前記時刻情報が現在表わしている時刻 t_s との差の許容値 α が予め定められており、該時刻 t , t_s との差の絶対値が該許容誤差時間 α よりも大きいとき、前記内部時刻管理手段の該時刻 t_s を補正することを特徴とするデジタル放送受信装置。

【請求項4】 請求項1において、前記時刻補正判定手段は、特定の時刻 T 及び時間範囲 ΔT_0 , ΔT_1 の組が m (但し、 m は1以上の整数)組が予め定められており、前記時刻情報が表わす現在の時刻 t が $T - \Delta T_0 \leq t \leq T + \Delta T_1$ を満たす時間帯にあるとき、前記内部時刻管理手段が管理する前記時刻情報を補正することを特徴とするデジタル放送受信装置。

【請求項5】 請求項1において、複数のタスクを実行する制御手段の一部が前記時刻補正判定手段であって、前記時刻補正判定手段は、該タスク夫々の実行状況を基に前記判定を行なうことを特徴とするデジタル放送受

信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル放送信号の受信装置に係り、特に、内部に時計装置を備え、該デジタル放送信号に多重された時刻情報に基づいて該時計装置を補正するようにしたデジタル放送受信装置に関する。

【0002】

【従来の技術】現行アナログ方式のテレビジョン放送に代わって、デジタル化された映像信号や音声信号などの放送信号を衛星やケーブル、地上放送などによって各家庭まで伝送するデジタル放送が開始されようとしている。既に米国の一部の衛星放送では、このような形態での放送が行なわれており、日本においても、同様のサービスの開始に向けて準備が進められている。

【0003】デジタル放送では、デジタル化された映像信号や音声信号とともに、現在の時刻を表わす時刻情報や電子的な番組ガイドなどの様々な付加情報も同時に伝送できることが特長の1つであるが、現行アナログ方式のテレビジョン放送においても、映像信号の垂直帰線期間を利用して同様なサービスを行なっている。

【0004】例えば、特開平7-307931号公報には、映像信号の垂直帰線期間に多重された時刻情報を利用して、自動的にテレビジョン受信装置の内部時計装置を補正する方法が開示している。

【0005】図7はかかる従来の受信装置を示すブロック図であって、701はテレビジョン放送電波(以下、TV信号という)の受信アンテナ、702はTV信号復調器、703はライン入力端子、704は入力セクタ、705はVBID(垂直帰線区間重畳信号)復調器、706はマイコン(マイクロコンピュータ)、707は内部時計装置である。

【0006】同図において、受信アンテナ701で受信されたTV信号はTV信号復調器702でベースバンドの映像信号と音声信号に復調され、映像信号は入力セクタ704に供給される。この映像信号の垂直帰線期間には、時刻情報などの付加情報がVBID信号として重畳されている。また、入力セクタ704には、ライン入力端子703からビデオテープレコーダなどの外部装置の出力映像信号が供給される。

【0007】いま、入力セクタ704がTV信号復調器702の出力映像信号を選択したとすると、この映像信号はVBID復調器705に供給され、この映像信号のVBID信号が復調される。マイコン706はこのVBID復調器705で復調されたVBID信号が時刻情報を抽出し、内部時計装置707が時刻をこの時刻情報が表わす現在の時刻にリセットするこのように、TV信号に重畳された時刻情報により、受信装置の内部時計装置の時刻を自動的に補正することができ、受信装置の受

信地域に対応した時差などの誤差も補正することができる。かかる時刻補正は、TV信号に時刻情報が多重されている度に行なわれる。

【0008】

【発明が解決しようとする課題】ところで、上記従来技術は、アナログ方式の放送においては、受信装置の内部時計装置の時刻を自動設定する手段として優れている。しかしながら、デジタル放送においては、時刻情報などの付加情報は全て同一のフォーマットで伝送されるため、時刻設定処理のための専用の復調器は存在し得ない。また、マイコン706は映像データや音声データのデコード処理なども制御しているため、時刻情報を最優先して処理するというようなことはできないし、時刻情報を用いて処理を行なうタスクが多数存在するため、他のタスクを考慮せずに時刻の補正するというようなこともできないなどの問題がある。

【0009】本発明の目的は、かかる問題を解消し、デジタル放送受信時に内部時計装置が管理する時刻情報を適応的に補正することができるようにしたデジタル放送受信装置を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するために、本発明は、少なくとも、多重デジタルデータから映像データ、音声データ、付加情報などのデータを分離する分離手段と、分離された該付加情報から現在の時刻を表わす時刻情報をデコードするシステムデコード手段と、時刻情報を管理する内部時間管理手段と、該システムデコード手段でデコードされた該時刻情報を用いて該内部時間管理手段が管理する該時刻情報を補正するか否かを判定する時刻補正判定手段とを設ける。

【0011】かかる構成により、タスク処理などの他の動作に影響を及ぼさないようにして、内部時間管理手段が管理する時刻情報の補正が可能となる。

【0012】

【発明の実施の形態】以下、本発明の実施形態を図面により説明する。なお、以下に説明する実施形態では、例えば、電源コンセントが差し込まれるなどして電源が供給されていて、かつ電源スイッチがONになっていない待機状態でも、デジタル放送される時刻情報などの情報データを受信してデコードしているものとする。

【0013】図1は本発明によるデジタル放送受信装置の第1の実施例を示すブロック図であって、101は受信装置、102は入力端子、103は分離装置、104はシステムデコード、105は内部時計装置、106は判定装置、107はビデオデコード、108はオーディオデコード、109、110は出力端子である。

【0014】同図において、入力端子102から受信装置101に入力されるデジタルデータは、デジタル化された映像データや音声データに時刻情報などの付加情報が多重化されたものであり、また、かかる入力ディ

ジタルデータは、放送局からのデジタル放送信号をデジタル復調し、誤り訂正などの処理がなされたものである。

【0015】入力端子102からの入力デジタルデータは分離装置103に供給され、映像データと音声データと付加情報とに分離され、映像データはビデオデコード107で、また、音声データはオーディオデコード108で夫々デコードされて出力端子109、110から出力される。

【0016】また、分離装置103で分離された付加情報はシステムデコード104に供給されてデコードされる。このデコードされた付加情報のうち、現在の時刻を表わす時刻情報は判定装置106に供給される。一方、内部時計装置105は時刻情報を管理して、この時刻情報に応じた時刻を表わしており（必ずしも表示しなくてよい）、判定装置106は、システムデコード104でデコードされた時刻情報から内部時計装置105で管理されている時刻情報、即ち、内部時計装置105の時刻を補正すべきかどうかを判定する。そして、補正すべきときには、判定装置106はシステムデコード104でデコードされた時刻情報によって内部時計装置105が表わす時刻を補正する。この時刻情報の補正とは、システムデコード104でデコードされた時刻情報が表わす時刻を内部時計装置105に設定するものである。

【0017】ここで、入力端子102から入力されたデジタルデータには、順次時々刻々の時刻もを表わす時刻情報が多重されており、システムデコード104はこれら時刻情報を順次デコードする。

【0018】ところで、判定装置106での上記判定処理に時間 Δt を要する場合には、システムデコード104から時刻情報を受けてから内部時計装置105の時刻を補正すべきとの判定結果を得るまでに時間 Δt が経過しており、内部時計装置105にこの時刻 t を表わす時刻情報で時刻補正を行なうと、この内部時計装置105が表わす時刻に時間 Δt の誤差が生ずる。

【0019】かかる時間誤差 Δt が無視できない誤差である場合には、判定装置106は、その判定処理が終了すると、システムデコード104を制御し、そのときに、またはその直後にデコードされる時刻情報に基づいて、内部時計装置105が表わす時刻を補正するようにする。この時刻情報については、判定装置106は上記の判定処理を行なわない。

【0020】図2はこの判定装置106の動作を示すフローチャートである。

【0021】まず、受信装置101の電源が投入されると（ステップ201）、システムデコード104でデコードされた時刻情報に基づいて、内部時計装置105が表わす時刻の補正を行なう（ステップ202）。ここで、電源投入とは、例えば、電源スイッチがONされていなくとも、ACコンセントを通して受信装置101に

電源が供給されていれば、その状態（即ち、上記の待機状態）も含む。そして、この時刻補正から予め設定された所定時間aが経過するまで待機する（ステップ203）。また、電源投入後の動作中では（ステップ201）、前回の内部時計装置105の時刻補正からこの所定時間aが経過するまで待機する（ステップ203）。なお、この所定時間aとしては、1時間や1日など任意に設定できる。

【0022】この所定時間aが経過すると（ステップ203）、時計補正（即ち、内部時計装置105が表わす時刻の補正）の禁止時間帯であるかどうか判定し（ステップ204）、この禁止時間帯でなければ、上記のように、システムデコーダ104でデコードされた時刻情報をもとにして、内部時計装置105の時刻補正を実行し（ステップ205）、例えば、ACコンセントを引き抜いて電源供給が停止されないと（ステップ206）、ステップ203に戻る。

【0023】ここで、判定装置106には、時計補正禁止時刻bとこれを含む所定の時計補正禁止時間帯を決める時間cとが設定されており、上記ステップ204は、システムデコーダ104でデコードされた時刻情報が表わす現在時刻tとすると、この現在時刻tがこの時計補正禁止時間帯に入っているかどうか、即ち、 $b - c < t < b + c$

であるかどうかを判定するものである。これを満足するときには、内部時計装置105の時刻補正は行なわれない。なお、図2のステップ204では、

$$|t - b| > c$$

としているが、上記の不等式と同様である。

【0024】この時計補正禁止時刻bは、受信装置101において、番組が切り替わる可能性が高い時刻などであり、例えば、午後7時00分、午後7時30分、午後8時00分などの30分間隔の時間である。また、時間cは、例えば、1分間のような時間である。そこで、例えば、時計補正禁止時刻bが午後7時00分、時間cが1分間であるときには、内部時計装置105の時刻補正を禁止する時間帯は午後6時59分から午後7時01分までとなり、この時間帯では、内部時計装置105の時刻補正が禁止される。

【0025】受信装置101では、上記の午後7時00分、午後7時30分、午後8時00分などの時刻に放送番組表の表示や番組の選択などのタスク処理が頻繁に行なわれる。従って、時計補正禁止時刻bを、例えば、これら午後7時00分、午後7時30分、午後8時00分などの30分間隔で設定することにより、タスクの処理頻度が高い時間帯を避けて内部時計装置105の時刻補正を行なうことができ、受信装置101のタスクの処理効率を高めることができる。

【0026】従って、この実施形態によれば、内部時計装置105の時刻補正が自動的に行なわれて、かつ、受

信装置101が実行するタスクの処理効率を高めることができる。

【0027】図3は本発明によるデジタル放送受信装置の第2の実施形態の動作を示すフローチャートである。この第2の実施形態のブロック構成は図1と同様である。

【0028】この第2の実施形態は、図1において、内部時計装置105が管理する時刻情報で現在表わされる時刻tとシステムデコーダ104でデコードされる時刻情報が表わす現在の時刻tとの差が予め設定された誤差許容時間dを越えたとき、即ち、時刻tが現在の時刻tから大きくずれたとき、内部時計装置105の時刻補正を行なうようにするものである。

【0029】図3において、図2に示したフローチャートのように、ステップ201、202の動作を行なった後、判定装置106はシステムデコーダ104でデコードされる時刻情報の現在時刻tと内部時計装置105が表わす時刻tとを監視し、これら時刻t、tとの差の絶対値 $|t - t|$ が予め設定されている上記の誤差許容時間dを越えたか否かを判定し（ステップ303）、これが越えると、図2に示したフローチャートのように、時計補正禁止時間帯以外の時間帯で（ステップ204）、内部時計装置105の時刻補正を行なう（ステップ205）ものである。

【0030】即ち、この第2の実施形態は、図2において、ステップ203の代わりに、ステップ303の動作を行なうものである。

【0031】以上のように、この第2の実施形態によれば、内部時計装置105が表わす時刻の誤差が誤差許容時間dより大きくなると、自動的にこの内部時計装置105の時刻補正が行なわれる。従って、内部時計装置105は、常に、誤差許容時間dの範囲内で正確に実際の時刻tを表わすことができる。この誤差許容時間dとしては、例えば、5秒とすることができるが、これに限るものでないことは明かである。

【0032】図4は本発明によるデジタル放送受信装置の第3の実施形態の動作を示すフローチャートである。この第3の実施形態のブロック構成は図1と同様である。

【0033】この第3の実施形態は、図2の場合とは逆に、ある設定された時間帯で内部時計装置105の時刻補正を行なうようにしたものであり、図4に示すように、図2において、ステップ204の代わりに、ステップ404の動作を行なうものである。

【0034】図1において、判定装置105には、受信装置101でタスクの処理が少なくない想定される時間帯を決める時計補正時刻eと時刻補正許容時間fとが予め設定されている。

【0035】図4において、図2のフローチャートと同様に、ステップ201、202、203と実行し、内部

時計装置105での前回の時刻補正から所定時間aが経過すると、判定装置106はシステムデコーダ104でデコードされた時刻情報が表わす現在の時刻tと上記の時刻補正時刻eとの差の絶対値 $|t-e|$ が上記の時刻補正許容時間f内にあるかどうか判定し(ステップ404)、この時刻補正許容時間f内にあるとき、内部時計装置105の時刻補正を実行する(ステップ205)。

【0036】そこで、タスクの処理が少ないと想定される時刻が、例えば、午前4時00分として、これを時刻補正時刻eとし、また、時刻補正許容時間fを、例えば、5分間とすると、上記のステップ404で内部時計装置105の時刻補正を実行できる時間は、午前3時55分から午前4時05分までの時間となる。このとき、ステップ203での所定時間aを1日としておくと、1日に1回午前4時前後に内部時計装置105の時刻補正が行なわれることになる。

【0037】従って、この第3の実施形態では、時刻補正時刻eを受信装置101のタスク処理が少ない時刻に設定することにより、タスクの実行頻度が高い時間帯を避けて内部時計装置105の時刻補正を行なうことができ、受信装置101のタスクの処理効率を高めることができる。

【0038】なお、ここでは、1日1回の時刻補正としたが、タスクの処理頻度が高い時間帯を避けることができるのであれば、同様に、1日に複数回の時刻補正を実行するようにすることもできる。

【0039】図5は本発明によるデジタル放送受信装置の第4の実施形態を示すブロック図であって、512～514はタスク、511は制御装置であり、図1に対応する部分には同一符号を重複する説明を省略する。

【0040】同図において、制御装置511は、例えば、ビデオデコーダ107のデコードを行なうタスク512や、例えば、ビデオデコーダ107及びオーディオデコーダ108の同期制御を行なうタスク513、例えば、オーディオデコーダ108のデコードを行なうタスクを夫々実行するとともに、判定装置106も含んでいる。

【0041】図6は図5における制御装置511における判定装置106の動作を示すフローチャートである。

【0042】この第4の実施形態は、これらタスク512、513、514が実行されていないときにのみ、判定装置106の上記処理を行なうようにするものであり、図6に示すように、図2において、ステップ204の代わりに、ステップ606の動作を行なうものである。

【0043】即ち、図6において、図2に示したフローチャートと同様、ステップ201、202、203と実行し、内部時計装置105での前回の時刻補正から所定時間aが経過すると、判定装置106はタスク512、513、514が実行中か否かを判断する(ステップ6

06)。そして、これらタスク512、513、514の1つでも実行されていると、そのまま待機しているが、タスク512、513、514のいずれも実行されていないとき、内部時計装置105の上記時刻補正が実行される(ステップ205)。

【0044】このように、この第4の実施形態では、時刻情報を用いて処理を行なうタスクが実行中であつたり、優先順位が高いタスクが実行中であつたりすると、その処理を妨害することがなく、適応的な内部時計装置105の上記時刻補正を行なうことができる。

【0045】

【発明の効果】以上説明したように、本発明によれば、デジタル放送受信時に受信装置内部タスクの実行状況など、他の制御処理状況に応じて、内部時計装置が管理する時刻情報の補正を適応的に行なうことができるから、他の制御処理に格別影響を与えることなく、該時刻情報の補正が行なわれことになり、該時刻情報が表わす時刻を常に現在の時刻に極めて高い精度で一致させることができるとともに、タスクの処理などの制御効率を高めることができる。

【図面の簡単な説明】

【図1】本発明によるデジタル放送受信装置の第1の実施形態を示すブロック図である。

【図2】図1における判定装置の動作を示すフローチャートである。

【図3】本発明によるデジタル放送受信装置の第2の実施形態での判定装置の動作を示すフローチャートである。

【図4】本発明によるデジタル放送受信装置の第3の実施形態での判定装置の動作を示すフローチャートである。

【図5】本発明によるデジタル放送受信装置の第4の実施形態を示すブロック図である。

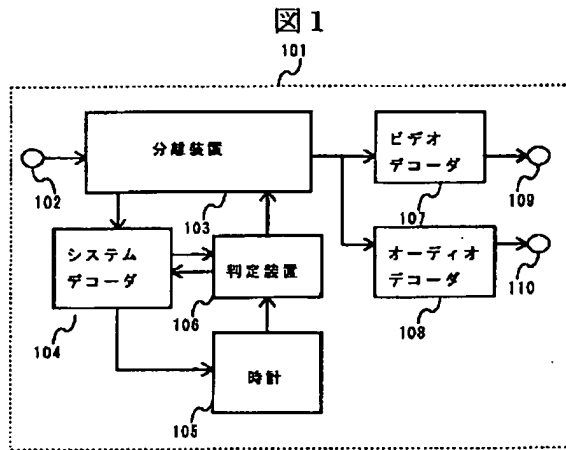
【図6】図5における判定装置の動作を示すフローチャートである。

【図7】従来の放送受信装置の一例を示すブロック図である。

【符号の説明】

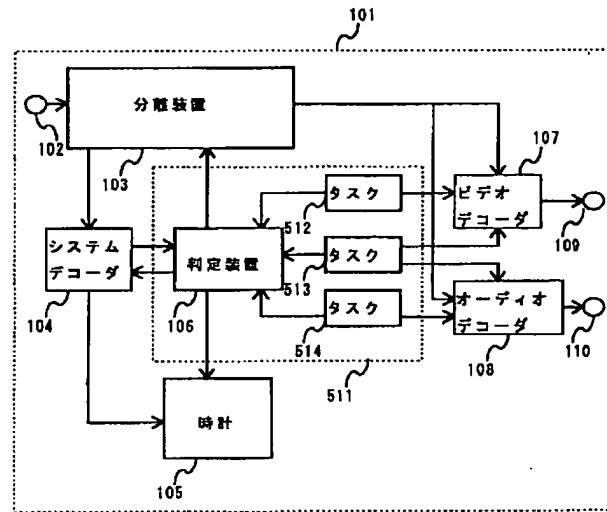
- 101 受信装置
- 102 デジタルデータ入力端子
- 103 分離装置
- 104 システムデコーダ
- 105 時計
- 106 判定装置
- 107 ビデオデコーダ
- 108 オーディオデコーダ
- 109 映像データ出力端子
- 110 音声データ出力端子
- 511 制御装置
- 512～514 タスクC処理手段

【図1】



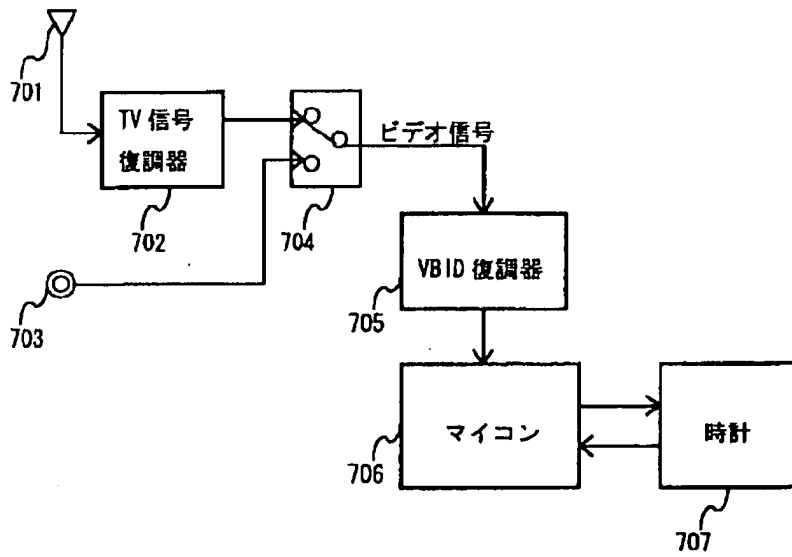
【図5】

図5



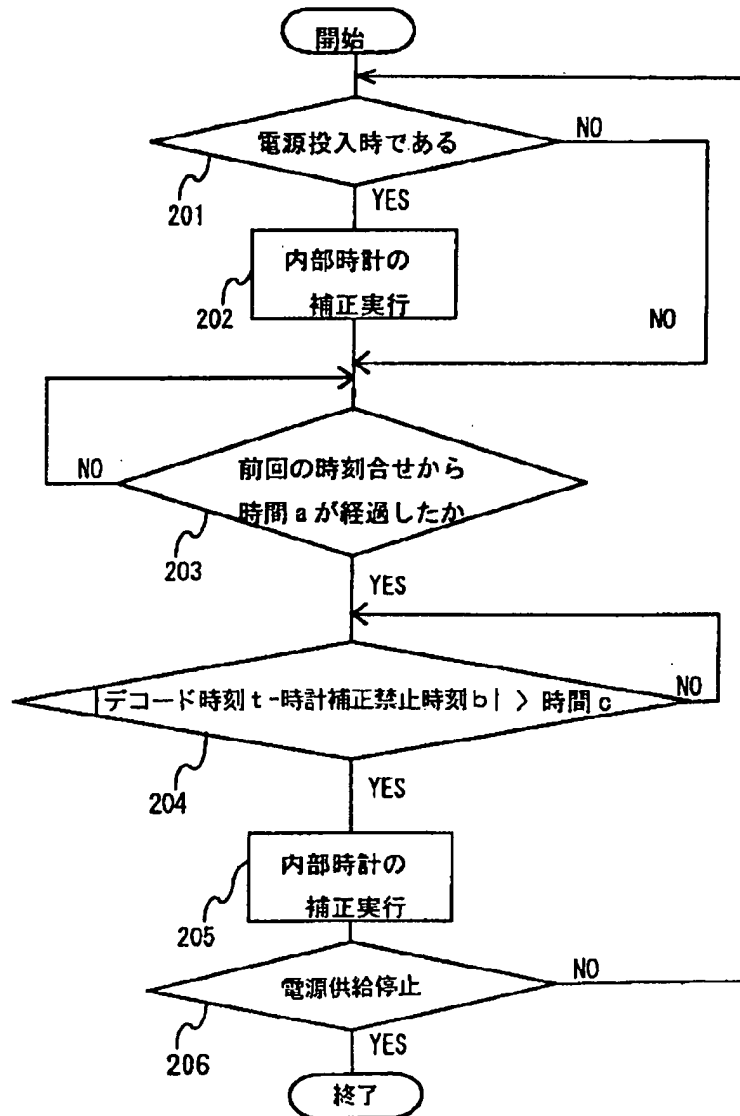
【図7】

図7



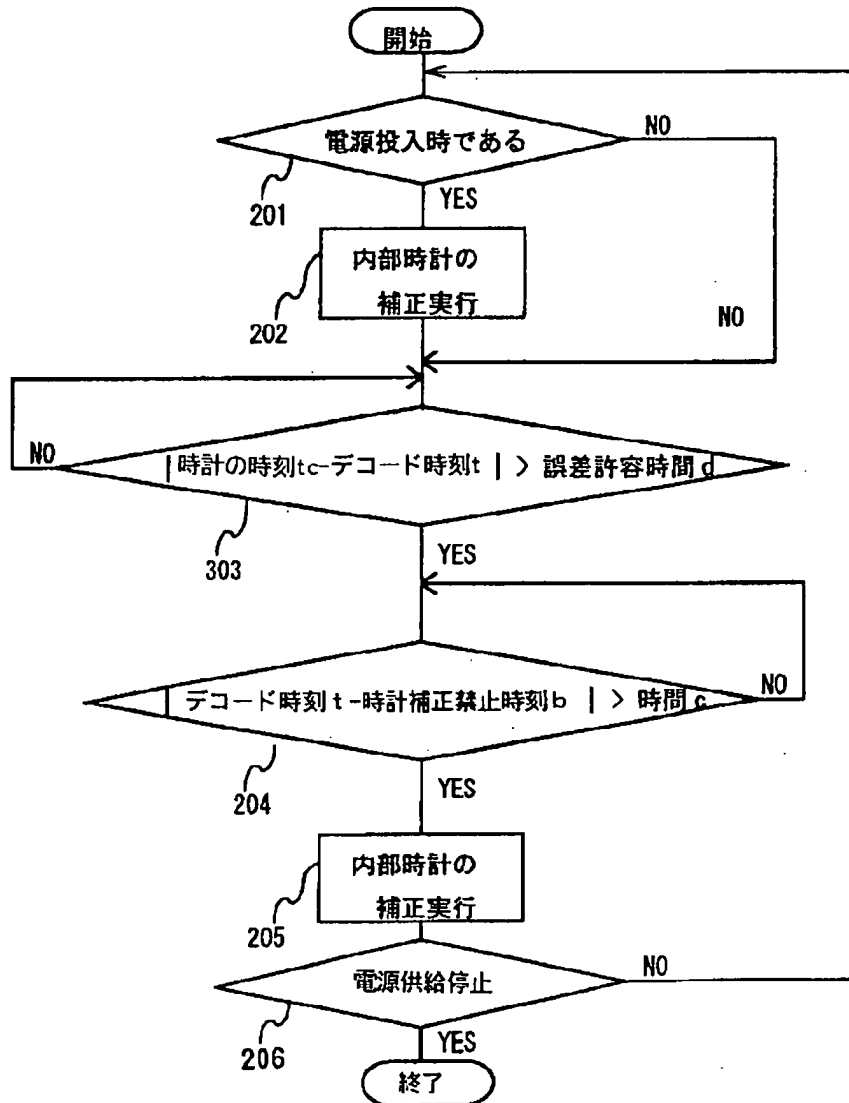
【図2】

図 2



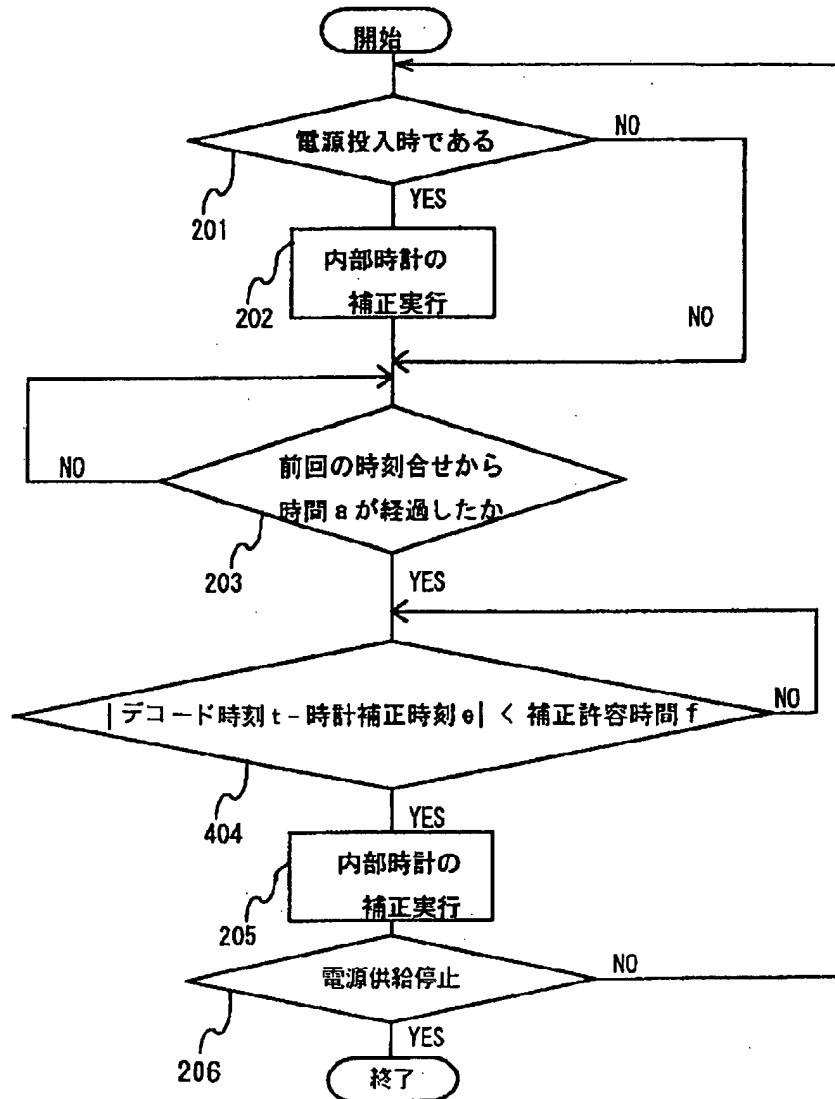
【図3】

図 3



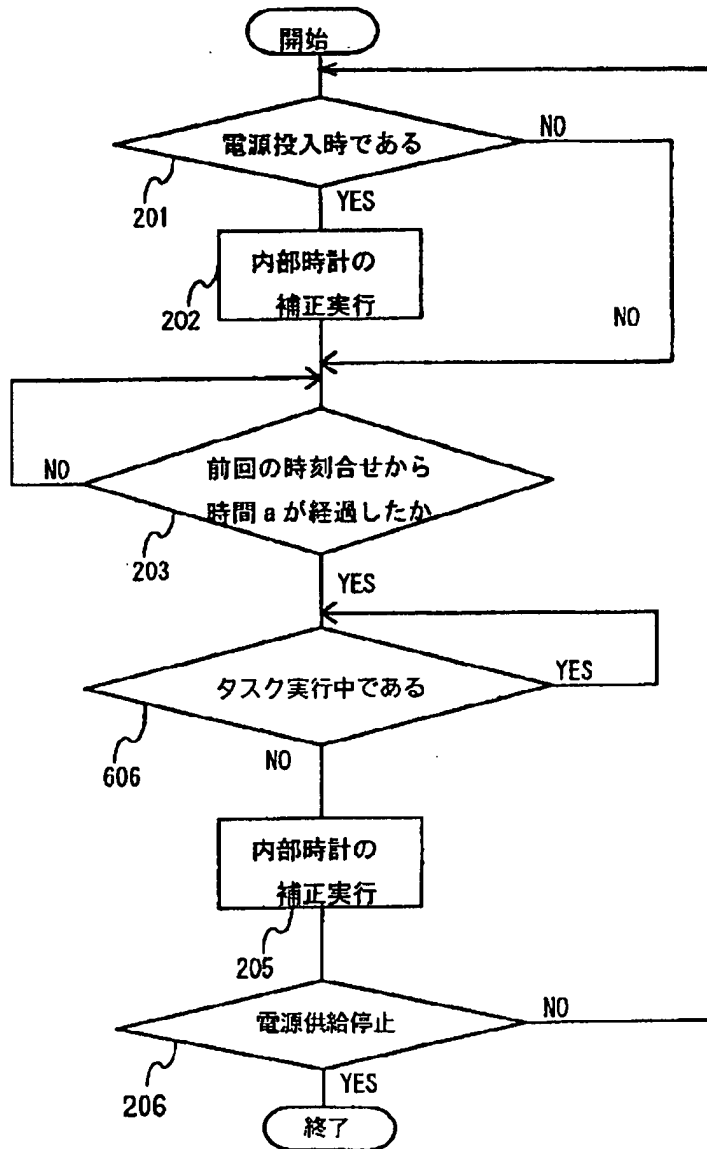
【図4】

図 4



【図6】

図 6



フロントページの続き

(72)発明者 高清水 聡
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マルチメディアシステム
開発本部内

(72)発明者 南木 勝
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マルチメディアシステム
開発本部内

(72)発明者 飯室 聡
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マルチメディアシステム
開発本部内

(72)発明者 米田 茂
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マルチメディアシステム
開発本部内

(72)発明者 大條 茂人
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マルチメディアシステム
開発本部内

(72)発明者 一藤 易寿
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所映像情報メディア事業部
内

(19) JAPANESE PATENT
OFFICE (JP)

(12) KOKAI TOKOUHYO PATENT
GAZETTE (A)

(11) PATENT APPLICATION
PUBLICATION
NO. HEI 9[1997]-284665

(43) Publication Date: October 31, 1997

(51) Int. Cl.⁶:
H 04 N 5/44

Sequence Nos. for Office Use:
H 04 N
Identification Codes:

F1
5/44
Z

Technical Disclosure Section

Examination Request: Not filed

No. of Claims: 5 (Total of 11 pages;
OL)

(21) Filing No.: Japanese Patent Application No. Hei
8[1996]-94257
(22) Filing Date: April 16, 1996

(71) Applicant: 000005108
Hitachi, Ltd.
4-6 Kandasurugadai, Chiyoda-ku, Tokyo

(72) Inventors: Takanori Eda
Multimedia System Development
Headquarters, Hitachi, Ltd.
292 Yoshida-cho, Totsuka-ku,
Yokohama-shi, Kanagawa-ken

Takumi Okamura
Home Appliance Research Lab., Hitachi,
Ltd.
292 Yoshida-cho, Totsuka-ku,
Yokohama-shi, Kanagawa-ken

Satoshi Takashimizu
Home Appliance Research Lab., Hitachi,
Ltd.
292 Yoshida-cho, Totsuka-ku,
Yokohama-shi, Kanagawa-ken

Masaru Namiki
Home Appliance Research Lab., Hitachi,
Ltd.
292 Yoshida-cho, Totsuka-ku,
Yokohama-shi, Kanagawa-ken

Satoshi Iimuro
Home Appliance Research Lab., Hitachi,
Ltd.
292 Yoshida-cho, Totsuka-ku,
Yokohama-shi, Kanagawa-ken

Shigeru Yoneda
Home Appliance Research Lab., Hitachi,
Ltd.
292 Yoshida-cho, Totsuka-ku,
Yokohama-shi, Kanagawa-ken

Shigeto Osuji
Home Appliance Research Lab., Hitachi,
Ltd.
292 Yoshida-cho, Totsuka-ku,
Yokohama-shi, Kanagawa-ken

Yasutoshi Ichifuji
Home Appliance Research Lab., Hitachi,
Ltd.
292 Yoshida-cho, Totsuka-ku,
Yokohama-shi, Kanagawa-ken

(74) Agent: Kenjiro Take, patent attorney

(54) [Title] DIGITAL BROADCASTING RECEIVER
(57) Abstract

Purpose: To provide a scheme characterized by the fact that time correction of the internal clock of the receiver can be carried out adaptively when digital broadcasting is received.

Constitution: Multiplexed digital data including video data, audio data and time information are sent from input terminal (102) to separator (103), where said video data, audio data and time information are separated. The separated time information is decoded by system decoder (104). Judgment device (106) judges whether the current time indicated by the decoded time information is in the time zone when clock correction is prohibited, whether it is significantly different from the time indicated in internal clock (105), and whether it is in the time zone when clock correction is permitted. According to the judgment result, the time indicated in internal clock (105) is corrected based on the time information decoded with system decoder (104).

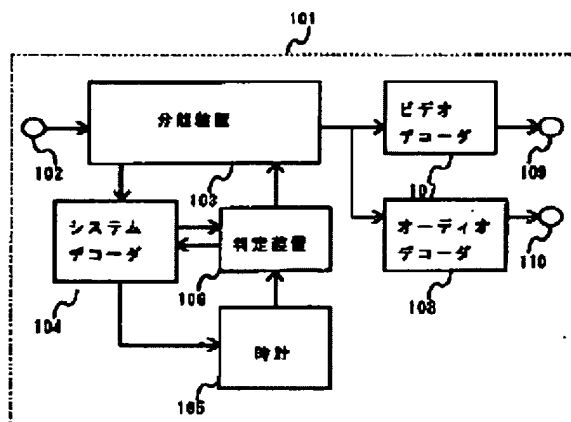


Figure 1

- | | |
|-----|-----------------|
| 103 | Separator |
| 104 | System decoder |
| 105 | Clock |
| 106 | Judgment device |
| 107 | Video decoder |
| 108 | Audio decoder |

Claims

1. A digital broadcasting receiver that receives digital data as multiplexed data including digitized video data and audio data, and information data containing at least time information indicating the current time characterized by the following facts: the digital broadcasting receiver has

- a separating means that separates the information data from the digital data,
- a decoding means that decodes said time information of said separated information data,
- an internal time management means that manages the time information,
- and a time correction judgment means that uses said decoded time information to judge whether said time information managed by said internal time management means is corrected;

and said time information managed by said internal time management means should be corrected according to the result of judgment by said time correction judgment means.

2. The digital broadcasting receiver described in Claim 1 characterized by the following facts:

said time correction judgment means presets prescribed time points T_0, T_1, \dots, T_n (n represents 0 or a positive integer) and the time intervals $\Delta T_{00}, \Delta T_{01}, \Delta T_{10}, \Delta T_{11}, \dots, \Delta T_{n0}, \Delta T_{n1}$; said time information managed by said internal time management means is corrected when current time t indicated by said time information is outside the following time zones:

$$T_0 - \Delta T_{00} \leq t \leq T_0 + \Delta T_{01}$$

$$T_1 - \Delta T_{10} \leq t \leq T_1 + \Delta T_{11}$$

.....

.....

$$T_n - \Delta T_{n0} \leq t \leq T_n + \Delta T_{n1}$$

3. The digital broadcasting receiver described in Claim 1 characterized by the following facts:

said time correction judgment means presets allowable value α of the difference between current time t indicated by said time information and time t_s currently indicated by said time information managed by said internal time management means; when the absolute value of the difference between said times t and t_s is larger than said allowable value α of the time error, said time t_s of said internal time management means is corrected.

4. The digital broadcasting receiver described in Claim 1 characterized by the following facts:

said time correction judgment means presets m groups (where m represents an integer of 1 or higher) of prescribed time point T and time intervals $\Delta T_0, \Delta T_1$; said time information managed by said internal time management means is corrected when said current time t indicated by said time information lies within the time interval where the following relationship is satisfied: $T - \Delta T_0 \leq t \leq T + \Delta T_1$

5. The digital broadcasting receiver described in Claim 1 characterized by the following facts:

a part of the control means that executes plural tasks comprises said time correction judgment means;

said time correction judgment means carries out said judgment based on the state of execution of the tasks.

Detailed explanation of the invention

[0001]

Technical field of the invention

The present invention pertains to a receiver of digital broadcasting signals. More specifically, the present invention pertains to a digital broadcasting receiver that has a clock inside it, and that corrects the clock based on the time information multiplexed with the digital broadcasting signal.

[0002]

Prior art

In place of the current analog television broadcasting, a digital broadcasting system, which transmits the digitized video, audio, and other broadcasting signals to various homes via cable or terrestrial broadcasting or the like has been started. In the U.S.A., it has been adopted as a part of the satellite broadcasting service. Preparation is also underway for start of said service in Japan.

[0003]

In the digital broadcasting, time information showing the current time, the electronic program guide, and various other additional information can at the same time also be transmitted together with the digitized video signal and audio signal. This is a characteristic feature. However, the same service is also provided in the current analog television broadcasting system using the vertical flyback period of the video signal.

[0004]

For example, Japanese Kokai Patent Application No. Hei 7[1995]-307931 provides a method characterized by the fact that the time information multiplexed in the vertical flyback period of the video signal is used to correct the internal clock of the television receiver automatically.

[0005]

Figure 7 is a block diagram illustrating the receiver in the prior art. Here, (701) represents a receiving antenna for receiving the television broadcasting electromagnetic waves (hereinafter to be referred to as TV signals), (702) represents a TV signal demodulator, (703) represents a line input terminal, (704) represents an input selector, (705) represents a VBID (superimposed vertical blanking interval signal) demodulator, (706) represents a microcomputer (microcomputer), and (707) represents an internal clock.

[0006]

As shown in the figure, the TV signal received by receiving antenna (701) is demodulated by TV signal demodulator (702) to the baseband video signal and audio signal. Here, the video signal is fed to input selector (704). The time information and other additional information are superimposed as a VBID signal in the vertical flyback period of the video signal. Also, the output video signal of a video tape recorder or other external device is fed from line input terminal (703) to input selector (704).

[0007]

Now, assuming that input selector (704) selects the output video signal of TV signal demodulator (702), the video signal is sent to VBID demodulator (705), and the VBID signal of the video signal is demodulated. Microcomputer (706) extracts the time information from the VBID signal demodulated by VBID demodulator (705), and internal clock (707) is reset to the current time shown in the time information. In this way the time of the internal clock of the receiver can be automatically corrected from the time information superimposed on the TV signal, and it is also possible to correct time differences corresponding to the receiving area of the receiver and other errors. Said time correction is executed each time the time information is multiplexed.

[0008]

Problems to be solved by the invention

The aforementioned prior art is an excellent means for automatically setting the time of the internal clock of an analog broadcasting receiver. For digital broadcasting, however, because the time information and other additional information are all transmitted with the same format, there is no dedicated demodulator for the time setting processing. Also, microcomputer (706) controls the decoding processing of the video data and audio data, etc., so that it is impossible to give priority to processing the time information, and there are plural processing tasks that use the time information. Consequently, it is impossible to correct the time without considering the other tasks.

[0009]

The purpose of the present invention is to solve the aforementioned problems of the prior art by providing a digital broadcasting receiver that can adaptively correct the time information managed by the internal clock.

[0010]

Means to solve the problems

In order to realize the aforementioned purpose, the present invention provides a digital broadcasting receiver that receives digital data as multiplexed data including digitized video data and audio data, and information data containing at least time information indicating the current time, characterized by the following facts: the digital broadcasting receiver has a separating means that separates the information data from the digital data, a decoding means that decodes said time information of said separated information data, an internal time management means that manages the time information, and a time correction judgment means that uses said decoded time information to judge whether said time information managed by said internal time management means should be corrected.

[0011]

With said constitution, it is possible to correct the time information managed by the internal time management means without influencing task processing and other operations.

[0012]

Embodiment of the invention

In the following, the embodiment of the present invention will be explained. In the following explained embodiment, for example, the power supply plug is inserted into a socket to supply power, and even when the power switch is not turned on, the time information and other information data that are digitally broadcast are still received and decoded in the standby state.

[0013]

Figure 1 is a block diagram illustrating Application Example 1 of the digital broadcasting receiver of the present invention. Here, (101) represents a receiver; (102) represents an input terminal; (103) represents a separator; (104) represents a system decoder; (105) represents an internal clock; (106) represents a judgment device; (107) represents a video decoder; (108) represents an audio decoder; (109), (110) represent output terminals.

[0014]

As shown in the figure, the digital data input from input terminal (102) to receiver (101) are prepared by multiplexing the time information and other additional information with the digitized video data and audio data. The input digital data are prepared by digital demodulation of the digital broadcasting signal from the broadcasting station, followed by error correction or other processing.

[0015]

The digital data input via input terminal (102) is sent to separator (103), and they are separated into video data and audio data as well as the additional information. The video data are decoded by video decoder (107), while the audio data are decoded by audio decoder (108). They are then output from output terminals (109), (110), respectively.

[0016]

Also, the additional information separated out by separator (103) is sent to system decoder (104) and decoded. The time information indicating the current time from among the decoded additional information is sent to judgment device (106). On the other hand, internal clock (105) manages the time information, and the time corresponding to the time information is displayed (although, display is not a necessity). Said judgment device (106) judges whether it is necessary to correct the time information managed by internal clock (105), that is, the time of internal clock (105), from the time information decoded with system decoder (104). If correction is needed, judgment device (106) will correct the time displayed by internal clock (105) based on the time information decoded by system decoder (104). Correction of the time information refers to setting internal clock (105) to the time indicated by the time information decoded with system decoder (104).

[0017]

Here, time information showing sequential times t is multiplexed with the digital data input from input terminal (102), and system decoder (104) sequentially decodes said time information.

[0018]

However, when said judgment processing in judgment device (106) requires time Δt , time interval Δt elapses from reception of the time information from system decoder (104) to obtaining of the judgment result that the time of internal clock (105) should be corrected. When internal clock (105) carries out time correction using the time information showing time t , a time error Δt results in the time indicated by internal clock (105).

[0019]

When said time error Δt is not negligible, system decoder (104) is controlled after the end of the judgment processing by judgment device (106), and based on the time information at this

time or right after that, the time indicated by internal clock (105) is corrected. Judgment device (106) does not perform said judgment processing for this time information.

[0020]

Figure 2 is a flow chart illustrating the operation of judgment device (106).

[0021]

First of all, when the power of receiver (101) is turned on (step 201), the time indicated by internal clock (105) is corrected (step 202) based on the time information decoded with system decoder (104). Here, turning on the power for receiver (101) means that the state is included in which power is fed to it via the AC socket even when the power switch is not turned on yet (this is the aforementioned standby state). It then stands by from the time correction until a prescribed time (a) has elapsed (step 203). Also, in the operation after power is turned on (step 201), it stands by for prescribed time (a) after the last time correction of internal clock (105) (step 203). Here, said prescribed time (a) can be set arbitrarily, such as at 1 h or 1 day, etc.

[0022]

After said prescribed time a has elapsed (step 203), a judgment is made as to whether the time is within the prohibited time zone for clock correction (that is, correction of the time indicated by internal clock (105)) (step 204). If NO, it returns as aforementioned to the time information decoded by system decoder (104), and time correction for internal clock is executed (105) (step 205). For example, if the AC plug is not pulled out to shut off the power supply (step 206), process flow returns to step 203.

[0023]

Here, clock correction prohibited time b and time c determining the prescribed clock correction prohibited time zone surrounding it are set in judgment device (106). In said step 204, assuming the current time indicated by the time information decoded by system decoder (104) to be t, a judgment is made as to whether said current time t is within the clock correction prohibited time zone, namely,

$$b - c < t < b + c$$

If this relationship is satisfied, time correction of internal clock (105) is not performed. Also, in step 204 shown in Figure 2, one has

$$|t - b| > c$$

However, this is the same as the above inequality.

[0024]

In receiver (101), said clock correction prohibited time b refers to the time when it is highly possible that program switching will take place, such as 7:00PM, 7:30PM, 8:00PM, and other times within 30 min from each other. Said time c may be, e.g., 1 min or the like. Here, assuming said clock correction prohibited time b is 7:00PM, and time c is 1 min, the zone where time correction of internal clock (105) is prohibited is from 6:59PM to 7:01PM. Within this time zone, time correction of internal clock (105) is forbidden.

[0025]

In receiver (101), display of the broadcast program table, selection of programs, and other task processing is carried out frequently at said times of 7:00PM, 7:30PM, 8:00PM, etc. Consequently, by setting clock correction prohibited time b at said 7:00PM, 7:30PM, 8:00PM, etc. with time intervals of 30 min from each other, it is possible to avoid the time zones when the task processing frequency is high in executing time correction of internal clock (105), so that it is possible to increase the processing efficiency for the tasks of receiver (101).

[0026]

Consequently, according to this embodiment, time correction of internal clock (105) is executed automatically, and the processing efficiency for the tasks executed by receiver (101) can be increased.

[0027]

Figure 3 is a flow chart illustrating operations in Embodiment 2 of the digital broadcasting receiver in the present invention. The block constitution of Embodiment 2 is the same as that shown in Figure 1.

[0028]

In Embodiment 2, as shown in Figure 1, when the difference between time t_c currently indicated at said time information managed by internal clock (105) and current time t indicated by said time information decoded with system decoder (104) exceeds a preset allowable error time d , that is, when time t_c is considerably shifted from current time t , time correction of internal clock (105) is carried out.

[0029]

As shown in Figure 3, after performing the operations of steps 201, 202 as shown in the flow chart of Figure 2, judgment device (106) monitors current time t decoded with system

decoder (104) and time t_c indicated by internal clock (105), and judges whether the absolute value of the difference between said times t and t_c , $|t_c - t|$, exceeds said preset allowable error time d (step 303). If YES, as shown in the flow chart in Figure 2, time correction of internal clock (105) (step 205) is carried out in a time zone outside the clock correction prohibited time (step 204).

[0030]

That is, in said Embodiment 2, instead of step 203 shown in Figure 2, the operation of step 303 is carried out.

[0031]

As explained above, according to Embodiment 2, when the error in the time indicated by internal clock (105) is larger than allowable error time d , time correction of internal clock (105) is carried out automatically. Consequently, internal clock (105) can always accurately indicate the correct actual time t within said allowable error time d . For example, the error can be kept within 5 sec. However, the present invention is not limited to this specific value.

[0032]

Figure 4 is a flow chart illustrating the operation of the digital broadcasting receiver in Embodiment 3 of the present invention. The block constitution in Embodiment 3 is identical to that shown in Figure 1.

[0033]

In Embodiment 3, unlike the case of Figure 2, time correction is executed for internal clock (105) within a preset time zone. As shown in Figure 4, instead of step 204 in Figure 2, the operation of step 404 is carried out.

[0034]

As shown in Figure 1, in internal clock (105), clock correction time e and correction allowable time f for determining the time zone in which it is assumed there is less task processing in receiver (101) are preset.

[0035]

As shown in Figure 4, just as was shown in the flow chart of Figure 2, steps 201, 202 and 203 are executed, and a judgment is made by judgment device (106) as to whether the absolute value $|t - e|$ between current time t shown at the time information decoded with system decoder

(104) and said clock correction time e is within said correction allowable time f after prescribed time has elapsed since the last time correction of internal clock (105) (step 404). If it is within said correction allowable time f, time correction of internal clock (105) is carried out (step 205).

[0036]

Here, assuming the time with little task processing to be 4:00AM, this is taken to be clock correction time e. On the other hand, for example, correction allowable time f is taken to be 5 min. The time when it is possible to carry out time correction of internal clock (105) in said step 404 is taken to be from 3:55AM to 4:05AM. In this case, said prescribed time a in step 203 is 1 day, and the time correction of internal clock (105) is performed once each day at about 4:00AM.

[0037]

Consequently, in Embodiment 3, by setting clock correction time e at a time when there is little task processing in receiver (101), the time correction of internal clock (105) can be carried out avoiding the time zones with a high task execution frequency, the efficiency of task processing by receiver (101) can be increased.

[0038]

Here, time correction is carried out once each day. However, if it is possible to avoid the time zones with high task processing frequency, time correction can also be carried out several times each day.

[0039]

Figure 5 is a block diagram illustrating Embodiment 4 of the digital broadcasting receiver of the present invention. Here, (512)-(514) represent the tasks, and (511) represents a controller. The same symbols as those used above in Figure 1 are adopted here, and they will not be explained again.

[0040]

As shown in the figure, for example, controller (511), which also contains judgment device (106), carries out the following tasks: task (512) for decoding of video decoder (107), task (513) for synchronization control of video decoder (107) and audio decoder (108), and the task [514] for decoding of audio decoder (108).

[0041]

Figure 6 is a flow chart illustrating the operation of judgment device (106) in controller (511) shown in Figure 5.

[0042]

In Embodiment 4, only when said tasks (512), (513), (514) are not being executed is said processing of judgment device (106) carried out. As shown in Figure 6, instead of step 204 shown in Figure 2, the operation of step 606 is carried out.

[0043]

That is, as shown in Figure 6, just as in the flow chart of Figure 2, after prescribed time has elapsed since the last time correction in internal clock (105) and with steps 201, 202, 203 having been executed, judgment device (106) judges whether tasks (512), (513), (514) are being executed (step 606). Here, when one of said tasks (512), (513), (514) is executed, process flow stands by as is. On the other hand, when none of said tasks (512), (513), (514) is being executed, said time correction of internal clock (105) is carried out (step 205).

[0044]

In this way, in Embodiment 4, when a task which performs processing using time information is being executed, or a task with a higher priority is being executed, said time correction of internal clock (105) is carried out adaptively without hampering said processing.

[0045]

Effects of the invention

As explained above, according to the present invention, correction of the time information managed by the internal clock is adaptively carried out according to the state of task execution inside the receiver during digital broadcast reception or another control processing state. Consequently, it is possible to carry out correction of the time information without significantly affecting the other control processing, and the time indicated at the time information can be made to coincide with the current time with very high accuracy, and at the same time the control efficiency of task processing can be increased.

Brief description of the figures

Figure 1 is a block diagram illustrating Embodiment 1 of the digital broadcasting receiver in the present invention.

Figure 2 is a flow chart illustrating the operation of the judgment device in Figure 1.

Figure 3 is a flow chart illustrating the operation of the judgment device in Embodiment 2 of the digital broadcasting receiver in the present invention.

Figure 4 is a flow chart illustrating the operation of the judgment device in Embodiment 3 of the digital broadcasting receiver in the present invention.

Figure 5 is a block diagram illustrating Embodiment 4 of the digital broadcasting receiver in the present invention.

Figure 6 is a flow chart illustrating the operation of the judgment device shown in Figure 5.

Figure 7 is a block diagram illustrating an example of the broadcasting receiver in the prior art.

Explanation of symbols

101	Receiver
102	Digital data input terminal
103	Separator
104	System decoder
105	Clock
106	Judgment device
107	Video decoder
108	Audio decoder
109	Video data output terminal
110	Audio data output terminal
511	Controller
512-514	Task C [sic] processing means

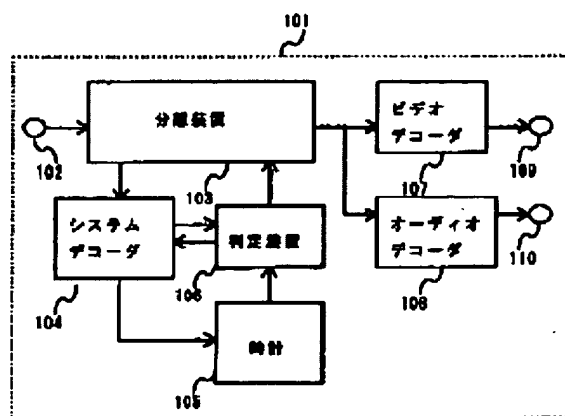


Figure 1

Key: 103 Separator
 104 System decoder
 105 Clock
 106 Judgment device
 107 Video decoder
 108 Audio decoder

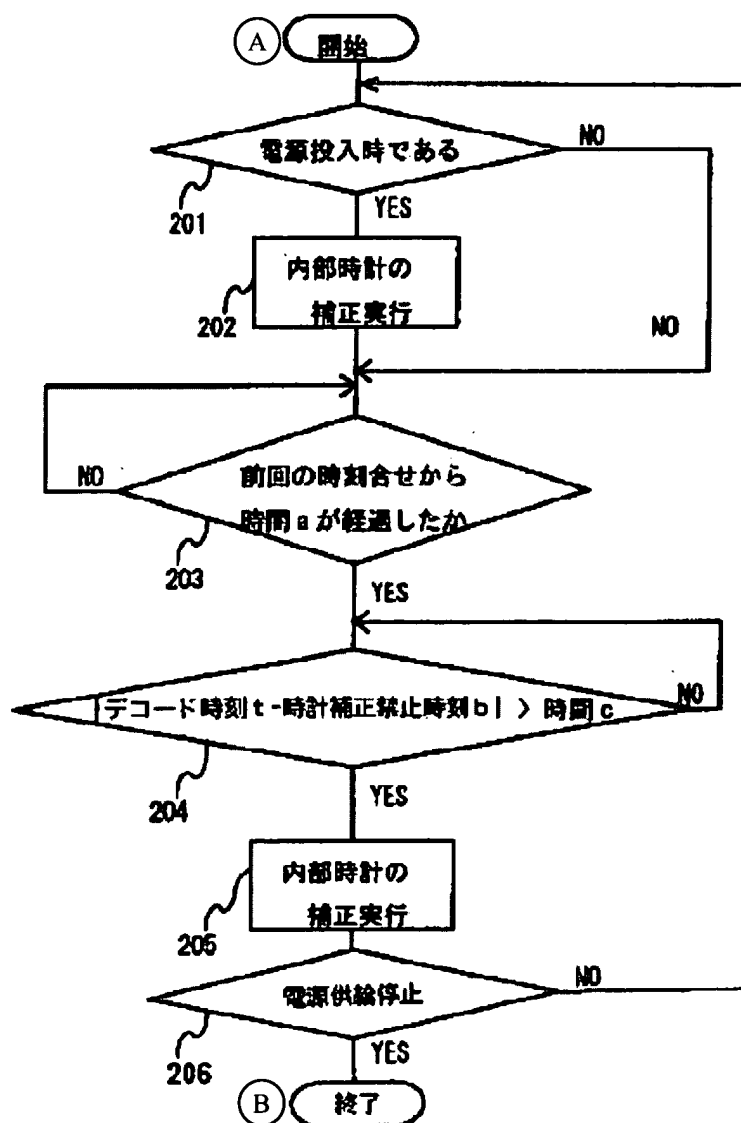


Figure 2

Key: A START
 B END
 201 Power ON?
 202 Execute correction of internal clock
 203 Has time a elapsed since the last time match?

- 204 $|\text{Decoded time } t - \text{clock correction prohibited time } b| > \text{time } c?$
 205 Execute correction of internal clock
 206 Stop power supply?

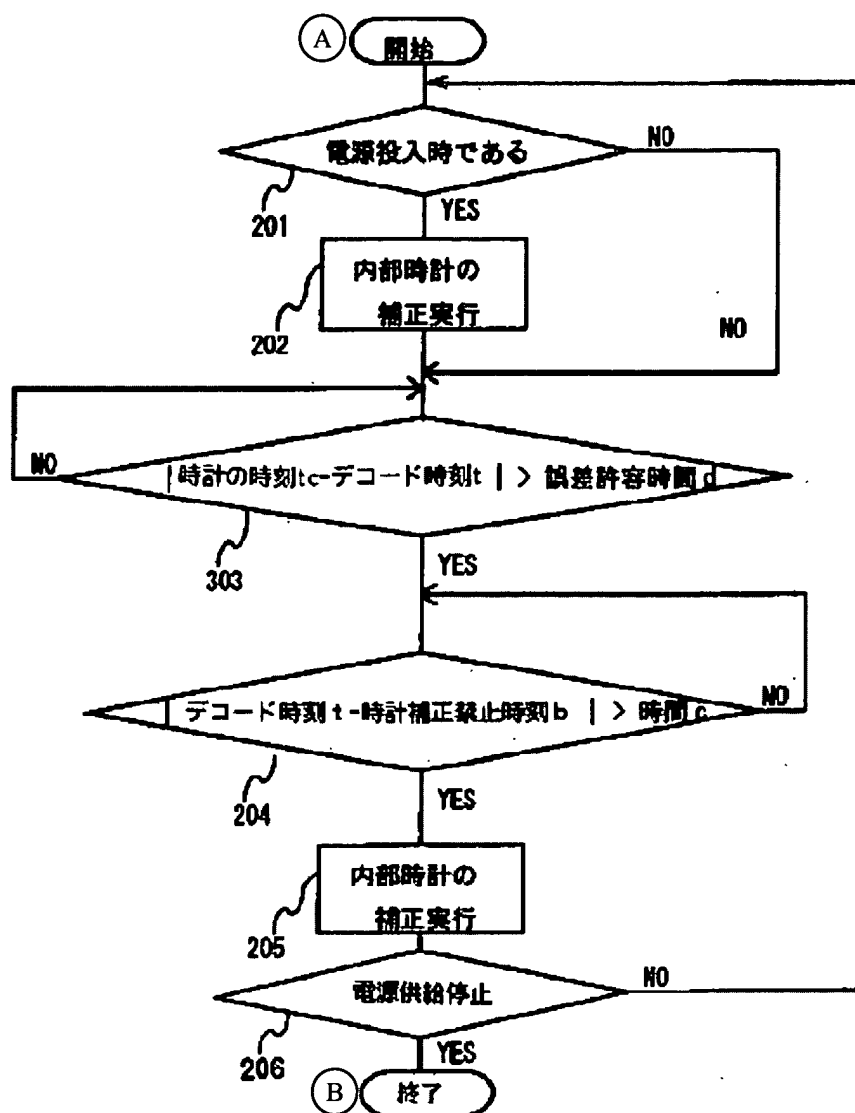


Figure 3

- Key: A START
 B END
 201 Power ON?
 202 Execute correction of internal clock
 303 $|\text{Clock time } t_c - \text{decoded time } t| > \text{allowable error time } d?$
 204 $|\text{Decoded time } t - \text{clock correction prohibited time } b| > \text{time } c?$
 205 Execute correction of internal clock
 206 Stop power supply?

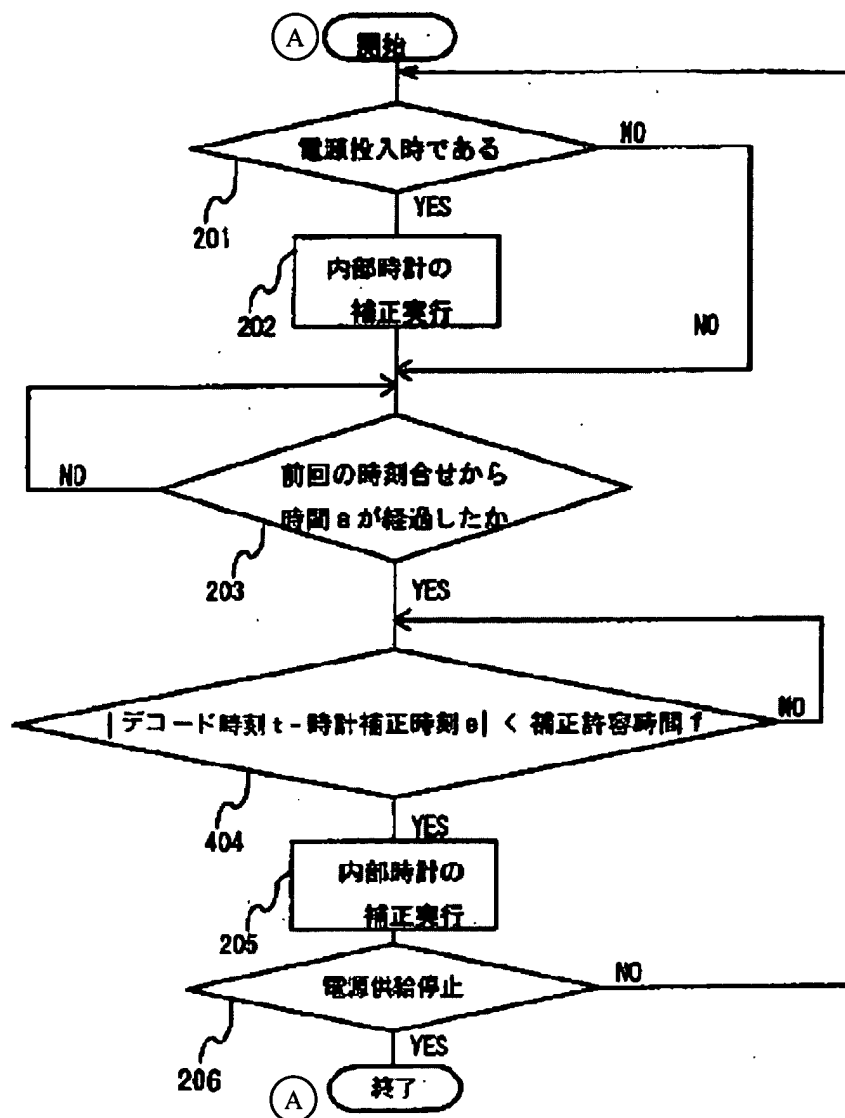


Figure 4

- Key:
- A START
 - B END
 - 201 Power ON?
 - 202 Execute correction of internal clock
 - 203 |Has time a elapsed since the last time match?
 - 404 |Decoded time t – clock correction prohibited time b| > time c?
 - 205 Execute correction of internal clock
 - 206 Stop power supply?

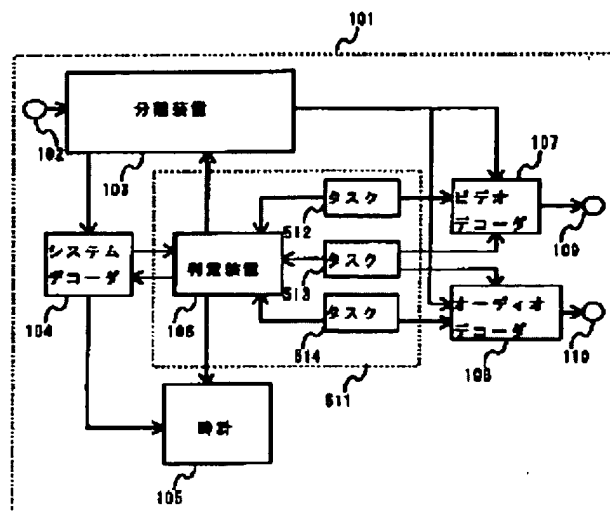


Figure 5

Key: 103 Separator
 104 System decoder
 105 Clock
 106 Judgment device
 107 Video decoder
 108 Audio decoder
 512, 513, 514 Task

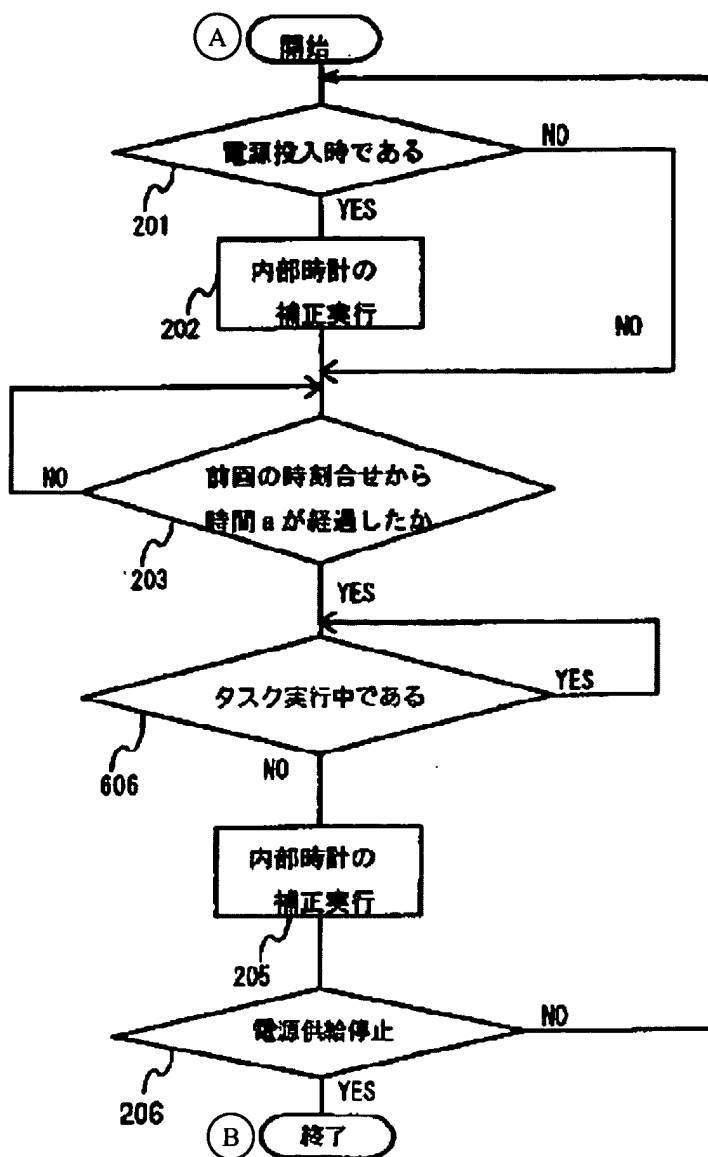


Figure 6

- Key:
- a START
 - b END
 - 201 Power ON?
 - 202 Execute correction of internal clock
 - 203 Has time a elapsed since the last time match?
 - 606 Task execution underway?
 - 205 Execute correction of internal clock
 - 206 Stop power supply?

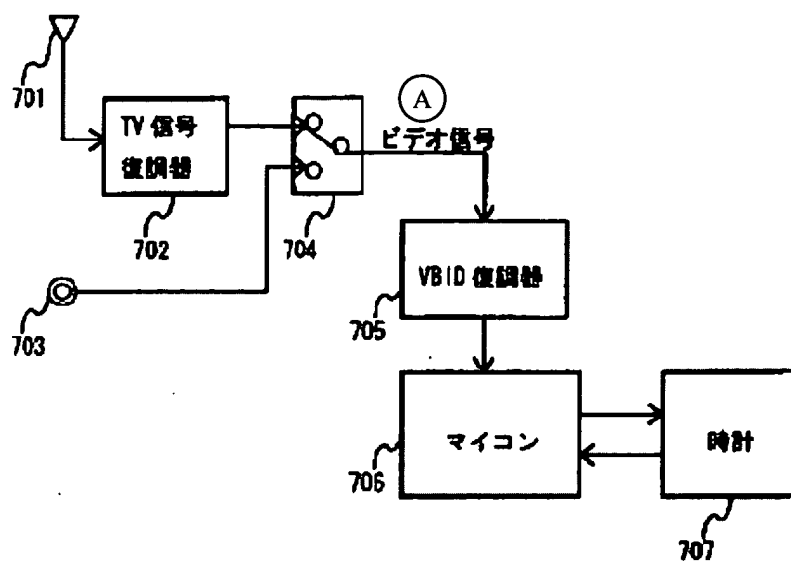


Figure 7

Key: A Video signal
 702 TV signal demodulator
 705 VBID demodulator
 706 Microcomputer
 707 Clock